

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

ENDO, et al. Group Art Unit: Unknown

Application No.: NEW Examiner: Unknown

Filed: Concurrently Herewith Attorney Dkt. No.: 100353-00180

For: AVOIDANCE OF EXTENDED BUS OCCUPANCY THROUGH SIMPLE
CONTROL OPERATION

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: November 21, 2003

Sir:

The benefit of the filing dates of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

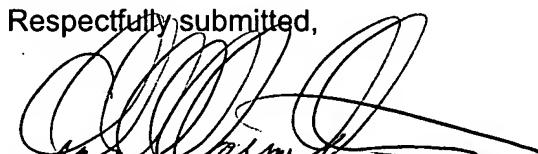
Japanese Patent Application No. 2002-343657 filed on November 27, 2002

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
AREN'T FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM/jch

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月27日
Date of Application:

出願番号 特願2002-343657
Application Number:

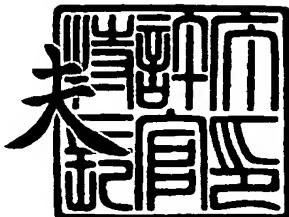
[ST. 10/C] : [JP2002-343657]

出願人 富士通株式会社
Applicant(s):

2003年 7月31日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 0241483
【提出日】 平成14年11月27日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 G06F 13/36
【発明の名称】 バス共有システム及びバス共有方法
【請求項の数】 10
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 遠藤 陽一
【発明者】
【住所又は居所】 神奈川県川崎市幸区堀川町66番地2 富士通エルエス
アイソリューション株式会社内
【氏名】 蟻川 直樹
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100070150
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階
【弁理士】
【氏名又は名称】 伊東 忠彦
【電話番号】 03-5424-2511
【手数料の表示】
【予納台帳番号】 002989
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バス共有システム及びバス共有方法

【特許請求の範囲】

【請求項 1】 バスと、

該バスにアクセスする第1の回路と、

該第1の回路と該バスを共有し該バスにアクセスする第2の回路と、

該第2の回路に設けられ該第2の回路が該バスをアクセスするたびにカウント動作を実行するカウンタ回路と、

該第1の回路と該第2の回路との間でバス権獲得要求の調停を行うアービタ回路

を含み、該第2の回路は該アービタ回路からバス権を獲得した後に該カウンタ回路が所定の回数カウント動作を実行すると該バス権を解放することを特徴とするバス共有システム。

【請求項 2】 該第2の回路は、該カウンタ回路が該所定の回数カウント動作を実行する前であっても必要なアクセス動作を終了すると該バス権を解放することを特徴とする請求項1記載のバス共有システム。

【請求項 3】 該第2の回路はレジスタ回路を更に含み、該所定の回数は該レジスタ回路に格納される値であることを特徴とする請求項1記載のバス共有システム

。

【請求項 4】 該第2の回路は、

該カウンタ回路のカウント値と該レジスタ回路の格納値とを比較する比較器と

該比較器の比較結果に応じて該バス権解放の旨を該アービタ回路に通知する制御回路

を含むことを特徴とする請求項3記載のバス共有システム。

【請求項 5】 該アービタ回路にバス権獲得要求がある度にカウント動作を実行する第2のカウンタ回路を更に含み、該所定の回数は該第2のカウント回路のカウント値であることを特徴とする請求項1記載のバス共有システム。

【請求項 6】 該アービタ回路は、所定の期間の間は該第2の回路からのバス権獲

得要求を無視することを特徴とする請求項1記載のバス共有システム。

【請求項7】該アービタ回路は所定の周期でカウント動作を実行する第2のカウンタ回路を含み、該第2のカウンタ回路のカウント値が所定の範囲の間にある期間により該所定の期間を規定することを特徴とする請求項6記載のバス共有システム。

【請求項8】該バスはメモリが接続されるメモリバスであり、該第1の回路は該メモリに該メモリバスを介してアクセスするメモリインターフェースであることを特徴とする請求項1記載のバス共有システム。

【請求項9】該第2の回路は、該メモリバスを介して液晶表示装置の駆動を制御する液晶表示装置制御回路であることを特徴とする請求項8記載のバス共有システム。

【請求項10】共有バスの使用権を要求することでバス使用権を獲得し、該バス使用権を獲得後に該共有バスへのアクセス回数をカウントし、該カウント数が所定の数に達したことに応じて該共有バスを解放する各段階を含むことを特徴とするバス共有方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バスを共有するバス共有システムに関し、詳しくはバスを長期間占有することなく解放することを特徴とするバス共有システムに関する。

【従来の技術】

複数のマスタがバスを共有する場合、バスを使用したいマスタは、アービタに対してバス使用権を要求するリクエストを実行する。アービタは複数のマスタからのリクエストがある場合には調停を行い、優先順位に従って選択した1つのマスタにバス使用権を渡す。

【0002】

上記のような調停手順を実行するためには、1サイクル以上を必要とする。従って例えば、マスタが細切れに複数回リクエストをする場合には、各リクエストの度に調停手順を実行することが必要となり、無駄なサイクルを消費することに

なる。またあるマスタがバス使用権を保持したまま離さないでいると、他のマスタが全くバスを使用することが出来なくなり、システム全体の性能が低下してしまう。

【0003】

従来技術には、要求信号を連続で実行したい要求数を制御することで、要求信号の切り替わり時に発生する無駄な処理時間を削減するアービトレーション制御装置を示すものがある（特許文献1）。この従来技術の発明では、選択した要求信号の優先順位を最下位に落とすが、要求信号に対応した要求保持信号をアサートすることで、優先順位に係らず同じ要求信号を連続して実行できる。

【0004】

【特許文献1】

特開2000-010914号公報

【発明が解決しようとする課題】

1つのマスタが長期間バスを占有することを防ぐ方法としては、アビタが、バスの状態を常時監視して所定の期間バスの占有状態が継続した場合、又は他のマスタからのリクエストを検知した場合に、現マスタからバス使用権を奪うという方法がある。しかしこれを実現するためには、アビタ回路とマスタ側回路との間で制御信号のやりとりが発生するので、回路構造が複雑になると共に複雑な制御手順が必要になる。結果として、バスの制御に必要なサイクル数が増加し、また場合によってはシステムがロックして長時間動作を停止してしまう場合もある。

【0005】

以上を鑑みて、本発明は、アビタ及びマスタにおける単純な制御動作により、長期間バスの占有状態が続かないように制御可能なバス共有システムを提供することを目的とする。

【課題を解決するための手段】

本発明によるバス共有システムは、バスと、該バスにアクセスする第1の回路と、該第1の回路と該バスを共有し該バスにアクセスする第2の回路と、該第2の回路に設けられ該第2の回路が該バスをアクセスするたびにカウント動作を実

行するカウンタ回路と、該第1の回路と該第2の回路との間でバス権獲得要求の調停を行うアービタ回路を含み、該第2の回路は該アービタ回路からバス権を獲得した後に該カウンタ回路が所定の回数カウント動作を実行すると該バス権を解放することを特徴とする。

【0006】

このように本発明においては、各マスタ回路にカウンタ回路を設け、バスへアクセスする度にカウンタ回路にカウント動作させ、カウント数が所定の回数に到達すると共通バスを解放する。これにより、単純な制御動作によって、長期間バスの占有状態が続くことを防ぐことが可能となる。

【0007】

また本発明によるバス共有方法は、共有バスの使用権を要求することでバス使用权を獲得し、該バス使用权を獲得後に該共有バスへのアクセス回数をカウントし、該カウント数が所定の数に達したことに応じて該共有バスを解放する各段階を含むことを特徴とする。

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0008】

図1は、本発明によるバス共有システムの第1の実施例の構成を示す図である。

【0009】

図1のバス共有システムは、アービタ11、マスタ12-1乃至12-n、共通バス13を含む。マスタ12-1乃至12-nは、共通バス13に接続され共通バス13を共有する。共通バス13を使用したい場合、マスタ12-1乃至12-nは、アービタ11に対してそれぞれリクエスト信号REQ1乃至REQnを送出する。アービタ11は、バス使用権を渡すマスタに対して、グラント信号GNTi (i=1, 2, ..., n)をアサートする。バス使用権を要求するマスタが複数ある場合には、アービタ11は所定の優先順位に従って、バス使用権を渡すマスタを決定する。

【0010】

マスタ $12-1$ 乃至 $12-n$ は、それぞれカウンタ $14-1$ 乃至 $14-n$ を含む。マスタ $12-i$ ($i = 1, 2, \dots, n$) は、グラント信号GNT i をアービタ 11 から受け取ると、共通バス 13 を占有して所定のデータ転送動作等を実行する。1つのマスタが共通バス 13 を占有している状態では、他のマスタは共通バス 13 を使用することはできない。このような占有状態が長期間続くとシステム全体としての性能が低下することになる。

【0011】

本発明においては、マスタ $12-1$ 乃至 $12-n$ にそれぞれ設けられたカウンタ $14-1$ 乃至 $14-n$ によって、特定のマスタによるバス占有状態が所定の時間以上継続しないように制御する。具体的には、マスタ $12-i$ ($i = 1, 2, \dots, n$) は、グラント信号GNT i をアービタ 11 から受け取ると、共通バス 13 を占有して所定のデータ転送動作等を実行すると共に、カウンタ $14-i$ を所定の初期値（例えば0）から開始して、共通バス 13 に一回アクセスする毎に1だけカウントアップする。マスタ $12-i$ はカウンタ $14-i$ のカウント値C i をチェックし、カウント値C i が所定の値に到達したか否かを判断する。

【0012】

カウント値C i が所定の値に到達すると、マスタ $12-i$ は共通バス 13 を解放すると共にリクエスト信号REQ i をネゲートする。またカウント値C i が所定の値に到達していなくても、マスタ $12-i$ は、必要なアクセス動作を終了した場合にはアービタへのリクエスト信号REQ i をネゲートする。リクエスト信号REQ i のネゲート状態に応答して、アービタ 11 は共通バス 13 が解放されたことを知る。その後リクエスト信号が到来すると、アービタ 11 は、バス使用権を渡すマスタに対してグラント信号をアサートする。

【0013】

上記説明においては、カウンタ $14-i$ を所定の初期値（例えば0）からカウントアップするとしたが、所定の初期値からカウントダウンし、カウント値がゼロになった時点で共通バス 13 を解放するとしてもよい。

【0014】

図2は、図1のバス共有システムの動作の一例を示すタイミングチャートであ

る。

【0015】

まずマスター12-1からのリクエスト信号REQ1がHIGHとなると、それに応答して、アービタ11がグラント信号GNT1を1サイクル期間だけHIGHにアサートする。マスター12-1は、グラント信号GNT1のアサートを受けてカウンタ14-1を“0”にリセットし、共通バス13に対するアクセス動作を開始する。マスター12-1はアクセス毎にカウンタ14-1にカウント動作させる。カウンタ14-1のカウント値が所定の値（この例では“4”）に達すると、マスター12-1はリクエスト信号REQ1をネゲートする。

【0016】

この例ではカウンタ14-1のカウント値が“2”的時に、マスター12-2からのリクエスト信号REQ2がHIGHとなっている。しかしこの時点では、バス使用権がマスター12-1に占有されているので、グラント信号GNT2はアサートされない。その後マスター12-1がリクエスト信号REQ1をネゲートした時点で、マスター12-2に対するグラント信号GNT2がHIGHとなり、バス使用権がマスター12-2に渡される。

【0017】

マスター12-2はグラント信号GNT2のアサートを受けて、カウンタ14-2を“0”にリセットし、共通バス13に対するアクセス動作を開始する。この例の場合、マスター12-2がリクエスト信号REQ2をアサートしてからグラント信号GNT2を受け取るまでに待たされる時間は6サイクルである。

【0018】

このように本発明の第1の実施例においては、各マスターにカウンタ回路を設け、バスへアクセスする度にカウンタ回路にカウント動作させ、カウント値が所定の値に到達すると共通バスを解放すると共にアービタに対するリクエスト信号をネゲートする。これにより、単純な制御動作によって、長期間バスの占有状態が続くことを防ぐことが可能となる。

【0019】

図3は、本発明によるバス共有システムの第2の実施例の構成を示す図である

。図3において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。

【0020】

図3のバス共有システムは、アービタ11、マスタ12A-1乃至12A-n、共通バス13を含む。マスタ12A-1乃至12A-nは、共通バス13に接続され共通バス13を共有する。

【0021】

マスタ12A-1乃至12A-nは、それぞれカウンタ14-1乃至14-n及びレジスタ15-1乃至15-nを含む。マスタ12A-i ($i = 1, 2, \dots, n$) は、グラント信号GNT $_i$ をアービタ11から受け取ると、共通バス13を占有して所定のデータ転送動作等を実行すると共に、カウンタ14-iを所定の初期値（例えば0）から開始して、共通バス13に一回アクセスする毎に1だけカウントアップする。マスタ12-iはカウンタ14-iのカウント値C $_i$ をチェックし、レジスタ15-iに格納されるレジスタ値R $_i$ とカウント値C $_i$ とが等しくなったか否かを判断する。

【0022】

カウント値C $_i$ がレジスタ値R $_i$ に到達すると、マスタ12A-iは共通バス13を解放すると共にリクエスト信号REQ $_i$ をネゲートする。またカウント値C $_i$ がレジスタ値R $_i$ に到達していないなくても、マスタ12-iは、必要なアクセス動作を終了した場合にはアービタへのリクエスト信号REQ $_i$ をネゲートする。

【0023】

上記説明においては、カウンタ14-iを所定の初期値（例えば0）からカウントアップするましたが、レジスタ値R $_i$ から開始してカウントダウンし、カウント値がゼロになった時点で共通バス13を解放するとしてもよい。

【0024】

このように本発明の第2の実施例においては、各マスタにカウンタ回路及びレジスタ回路を設け、バスへアクセスする度にカウンタ回路にカウント動作させ、カウント値がレジスタに格納される値と等しくなると、共通バスを解放すると共

にアービタに対するリクエスト信号をネゲートする。これにより、単純な制御動作によって、長期間バスの占有状態が続くことを防ぐことが可能となる。

【0025】

またマスタが共通バスを占有する期間（アクセスサイクル数）をレジスタ回路を用いて規定することにより、システムの動作状況に応じて各マスタの共通バス占有期間を適切に調整することができる。これにより、システム全体の性能をより大きく向上させることができる。

【0026】

図4は、マスタの関連部分の構成を示す図である。図4にはマスタ12A-1を例として示すが、他のマスタ12A-2乃至12A-nも同様の構成である。

【0027】

図4のマスタ12A-1は、カウンタ14-1、レジスタ15-1、比較器16-1、及び制御回路17-1を含む。またマスタ12A-1は、図示されないコア回路を含む。このコア回路は、制御回路17-1の制御の下に、共通バス13へのアクセス動作や所定のデータ処理等の動作を実行する。なおこのコア回路は制御回路17-1の一部として含まれていると考えてもよい。

【0028】

制御回路17-1は、共通バス13へのアクセスが必要な場合、アービタ11に対してリクエスト信号REQ1を送出する。これに応答してアービタ11からグラント信号GNT1が供給されると、グラント信号GNT1はカウンタ14-1及び制御回路17-1に入力される。制御回路17-1は、グラント信号GNT1を受け取ると、共通バス13に対するデータ転送動作等のアクセスを開始する。またカウンタ14-1は、グラント信号GNT1により所定の初期値（例えば“0”）にリセットされる。

【0029】

制御回路17-1は、共通バス13に対するアクセスを一回実行する度に、パルス信号であるイネーブル信号Enをカウンタ14-1に供給する。このイネーブル信号Enに応じて、カウンタ14-1が共通バス13に対する1回のアクセスに対して1だけカウントアップされる。カウンタ14-1のカウント値とレジ

スタ15-1のレジスタ値とが比較器16-1に供給され、比較器16-1により両値が比較される。カウント値がレジスタ値に等しくなると、比較器16-1は制御回路17-1に供給する比較結果信号をアサートする。この比較結果信号のアサート状態に応じて、制御回路17-1は共通バス13へのアクセス動作を停止し共通バス13を解放すると共に、アービタ11に対するリクエスト信号REQ1をネゲートする。

【0030】

図5は、本発明によるバス共有システムの第3の実施例の構成を示す図である。図5において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。

【0031】

図5のバス共有システムは、アービタ11、マスター12-1乃至12-n、共通バス13、OR回路18、及びカウンタ19を含む。マスター12-1乃至12-nは、共通バス13に接続され共通バス13を共有する。

【0032】

マスター12-1乃至12-nが送出するリクエスト信号REQ1乃至REQnは、アービタ11に供給されると共に、OR回路18にも供給される。OR回路18は、リクエスト信号REQ1乃至REQnの論理和をとり、その出力をカウンタ19に供給する。カウンタ19は、OR回路18からの信号が一回アサートされる度にカウント動作を実行する。従ってOR回路18は、マスター12-1乃至12-nの何れかがリクエスト動作を行う度に、カウントアップ（或いはカウントダウン）することになる。例えば4ビットカウンタであれば、1からカウントアップしていき、カウントが16になると次に1に戻る。或いは16からカウントダウンしていき、カウントが1になると次に16に戻る。

【0033】

バス使用権を獲得したマスター12-i ($i = 1, 2, \dots, n$) は、アービタ11からのグラント信号GNTiに応答して、共通バス13を占有して所定のデータ転送動作等を実行すると共に、カウンタ14-iを所定の初期値（例えば0）から開始して、共通バス13に一回アクセスする毎に1だけカウントアップ

する。マスタ $12-i$ はカウンタ $14-i$ のカウント値 C_i をチェックし、カウンタ 19 のカウント値とカウント値 C_i とが等しくなったか否かを判断する。

【0034】

両方のカウント値が等しくなると、マスタ $12-i$ は共通バス 13 を解放すると共にリクエスト信号 REQ_i をネゲートする。また両方のカウント値が等しくなくとも、マスタ $12-i$ は、必要なアクセス動作を終了した場合にはアービタへのリクエスト信号を REQ_i をネゲートする。

【0035】

図6は、図5のバス共有システムの動作の一例を示すタイミングチャートである。

【0036】

マスタ $12-1$ からのリクエスト信号 REQ_1 がHIGHとなると、それに応答して、アービタ 11 がグラント信号 GNT_1 を1サイクル期間だけHIGHにアサートする。マスタ $12-1$ は、グラント信号 GNT_1 のアサートを受けてカウンタ $14-1$ を“0”にリセットし、共通バス 13 に対するアクセス動作を開始する。この時、 GNT_1 、 GNT_2 、…、及び GNT_n の論理和信号によりカウンタ 19 がカウントアップされる。マスタ $12-1$ はアクセス毎にカウンタ $14-1$ にカウント動作させる。カウンタ $14-1$ のカウント値がカウンタ 19 のカウント値（この例では“4”）に達すると、マスタ $12-1$ はリクエスト信号 REQ_1 をネゲートする。

【0037】

その後マスタ $12-2$ に対するグラント信号 GNT_2 がHIGHになると、カウンタ 19 が再びカウントアップされる。マスタ $12-2$ は、グラント信号 GNT_2 のアサートを受けてカウンタ $14-2$ を“0”にリセットし、共通バス 13 に対するアクセス動作を開始する。マスタ $12-2$ は、カウンタ $14-2$ を“0”にリセットしてアクセス毎にカウントアップし、カウンタ 19 の値とカウンタ $14-2$ の値が一致した時に共通バス 13 を解放する。

【0038】

以上の動作により、マスタ $12-1$ 乃至 $12-n$ が1回のバス権獲得で実行す

る連続アクセス回数が、バスの使用状況により逐次変化することになる。この方式により、各マスタの優先順位等が不明な場合等に、適当な連続アクセス回数を自動的に設定することが可能となる。また図3のマスタ12A-1乃至12A-nを図5の構成に用いることも可能であり、この場合には、カウンタ14-1乃至14-nの比較対象を、レジスタ15-1乃至15-n又はカウンタ19の何れか任意の方に設定してよい。

【0039】

図7は、本発明によるバス共有システムの第4の実施例の構成を示す図である。

【0040】

図7のバス共有システムは、メモリインターフェース21、マスタ回路22、及びメモリバス23を含む。メモリインターフェース21は、図示されないCPU等からのデータをメモリバス23を介して図示されないメモリに供給すると共に、メモリからメモリバス23を介して受け取るデータをCPUに供給する。マスタ回路22は、メモリバス23をメモリインターフェース21と共有する回路であり、LSI (Large Scale Integrated Circuit) の入出力ピン数削減などの目的のために、自らのデータ入出力をメモリバス23を利用して行う回路である。

【0041】

メモリインターフェース21はアービタ24を含む。またマスタ回路22は、カウンタ25及びレジスタ26を含む。

【0042】

マスタ回路22は、メモリバス23を使用したい場合に、メモリインターフェース21のアービタ24にリクエスト信号REQ1をアサートする。アービタ24は、メモリインターフェース21がメモリバス23を現在使用してなくバス権を渡してもよいと判断する場合には、マスタ回路22にグラント信号GNT1をアサートする。

【0043】

グラント信号GNT1をアービタ24から受け取ると、マスタ回路22はメモ

リバス23を占有して所定のデータ転送動作等を実行すると共に、カウンタ25を所定の初期値（例えば0）から開始して、メモリバス23に一回アクセスする毎に1だけカウントアップする。マスタ回路22はカウンタ25のカウント値C1をチェックし、レジスタ26に格納されるレジスタ値R1とカウント値C1とが等しくなったか否かを判断する。

【0044】

カウント値C1がレジスタ値R1に到達すると、マスタ回路22はメモリバス23を解放すると共にリクエスト信号REQ1をネゲートする。またカウント値C1がレジスタ値R1に到達していないなくても、マスタ回路22は、必要なアクセス動作を終了した場合にはアービタへのリクエスト信号をREQ1をネゲートする。

【0045】

上記説明においては、カウンタ25を所定の初期値（例えば0）からカウントアップするとしたが、レジスタ値R1から開始してカウントダウンし、カウント値がゼロになった時点でメモリバス23を解放するとしてもよい。

【0046】

このように本発明の第4の実施例においては、メモリバスをメモリインターフェースと共に共有するマスタにカウンタ回路を設け、メモリバスへアクセスする度にカウンタ回路にカウント動作させ、カウント値が所定の値に到達するとメモリバスを解放すると共にアービタに対するリクエスト信号をネゲートする。これにより、単純な制御動作によって、長期間メモリバスの占有状態が続くことを防ぐことが可能となる。

【0047】

図8は、本発明によるバス共有システムの第5の実施例の構成を示す図である。図8において、図7と同一の構成要素は同一の参照番号で参照し、その説明は省略する。

【0048】

図8のバス共有システムは、メモリインターフェース21A、マスタ回路22、及びメモリバス23を含む。図7の構成と同様に、メモリインターフェース2

1 Aは、図示されないC P U等からのデータをメモリバス2 3を介して図示されないメモリに供給すると共に、メモリからメモリバス2 3を介して受け取るデータをC P Uに供給する。

【0049】

図7の構成と同様に、メモリインターフェース2 1 Aはアービタ2 4 Aを含み、マスタ回路2 2はカウンタ2 5及びレジスタ2 6を含む。図8の構成では更に、アービタ2 4 Aは、カウンタ3 1及びレジスタ3 2を含む。カウンタ3 1は、所定のクロック信号に基づいてカウント動作を実行する。アービタ2 4 Aは、カウンタ3 1のカウント値C aをレジスタ3 2の格納値R aと比較し、カウント値C aがレジスタ値R aより大きい場合には、マスタ回路2 2からのバス使用権要求のリクエストを受け付けないように調停動作を制御する。それ以外の動作は図7の構成の場合と同様である。

【0050】

図9は、図8のバス共有システムの動作の一例を示すタイミングチャートである。

【0051】

この例では、レジスタ3 2の格納値R aは3であり、カウンタ3 1のカウント値C aが0～3の時にのみマスタ回路2 2からのリクエストを受け付ける構成となっている。またカウンタ3 1は3ビットカウンタであり、そのカウント値は0から7の範囲でカウントアップ動作を繰り返す。図9においては、まずリクエスト信号R E Q 1がH I G Hになるが、この時点ではカウント値C aの値が0～3に達していないためアービタ2 4 Aはリクエストを無視する。カウント値C aの値が0～3の範囲内となった時点で、アービタ2 4 AはR E Q 1を受け付けてh グラント信号G N T 1を1サイクルの期間H I G Hにアサートする。これに応答して、マスタ回路2 2はメモリバス2 3を介して外部デバイスにアクセスを実行する。

【0052】

図9の例では、カウンタ2 5のカウント値C 1は、初期設定としてレジスタ2 6のレジスタ値R 1（この例では4）に設定される。カウンタ2 5がその後カウ

ントダウンしそれぞれになった時点で、マスタ回路22はメモリバス23を解放してアービタ24Aに対するリクエスト信号REQ1をネゲートする。この動作とは逆に、カウンタ25をゼロからカウントアップし、カウント値C1がレジスタ値R1になった時点でメモリバス23を解放するとしてもよい。

【0053】

このように本発明の第5の実施例では、アービタ内部にカウンタを設け、このカウント値に従ってマスタ回路からのリクエストを受け付ける時間を制御する。これにより、マスタ回路によるメモリバス占有が発生する頻度を制限することが可能となり、メモリインターフェースによるメモリデバイスのためのデータ転送動作に支障をきたさないような調停動作を実現することが出来る。

【0054】

図10は、図8のバス共有システムをLCD駆動システムに応用した例を示す構成図である。図10において、図8と同一の構成要素は同一の参照番号で参照し、その説明は省略する。

【0055】

図10のLCD駆動システムは、システムLSI51、SRAM(Static Random Access Memory)52、SDRAM(Synchronous Dynamic Random Access Memory)53、及びLCD(Liquid Crystal Display)装置54を含む。システムLSI51は、メモリバス23を介して、SRAM52、SDARM53、及びLCD装置54に接続される。システムLSI51は、メモリインターフェース21A、グラフィックコントローラ41、CPU42、及び内部バス43を含む。メモリインターフェース21Aが図8に示したメモリインターフェース21Aに対応し、グラフィックコントローラ41に含まれるLCD制御回路22が図8のマスタ回路22に相当する。

【0056】

メモリインターフェース21Aは、内部バス43を介してCPU42から受け取ったデータを、メモリバス23を介してSRAM52又はSDARM53に供給する。また更に、SRAM52又はSDARM53からメモリバス23を介して受け取ったデータを、内部バス43を介してCPU42に供給する。LCD制

御回路22は、メモリバス23をメモリインターフェース21Aと共有する回路であり、システムLSI51の入出力ピン数削減などの目的のために、LCD表示に関するデータ入出力をメモリバス23を利用して行う回路である。

【0057】

メモリインターフェース21AとLCD制御回路22の動作は図8の場合と同様である。LCD制御回路22は、LCD装置54を駆動するためにメモリバス23を使用したい場合に、メモリインターフェース21Aのアビタ24Aにリクエスト信号REQ1をアサートする。アビタ24Aは、メモリインターフェース21Aがメモリバス23を現在使用してなく且つカウンタ31が示すカウント値が所定の範囲内にあると判断する場合には、LCD制御回路22にグラント信号GNT1をアサートする。以降の動作は、図8及び図9に関して説明した動作と同様である。

【0058】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【発明の効果】

本発明においては、各マスタ回路にカウンタ回路を設け、バスへアクセスする度にカウンタ回路にカウント動作させ、カウント数が所定の回数に到達すると共通バスを解放する。これにより、単純な制御動作によって、長期間バスの占有状態が続くことを防ぐことが可能となる。

【図面の簡単な説明】

【図1】

本発明によるバス共有システムの第1の実施例の構成を示す図である。

【図2】

図1のバス共有システムの動作の一例を示すタイミングチャートである。

【図3】

本発明によるバス共有システムの第2の実施例の構成を示す図である。

【図4】

マスタの関連部分の構成を示す図である。

【図5】

本発明によるバス共有システムの第3の実施例の構成を示す図である。

【図6】

図5のバス共有システムの動作の一例を示すタイミングチャートである。

【図7】

本発明によるバス共有システムの第4の実施例の構成を示す図である。

【図8】

本発明によるバス共有システムの第5の実施例の構成を示す図である。

【図9】

図8のバス共有システムの動作の一例を示すタイミングチャートである。

【図10】

図8のバス共有システムをLCD駆動システムに応用した例を示す構成図である。

【符号の説明】

1 1 アービタ

1 2 - 1、1 2 - 2、…、1 2 - n マスター

1 3 共通バス

1 4 - 1、1 4 - 2、…、1 4 - n カウンタ

1 5 - 1、1 5 - 2、…、1 5 - n レジスタ

5 1 システムLSI

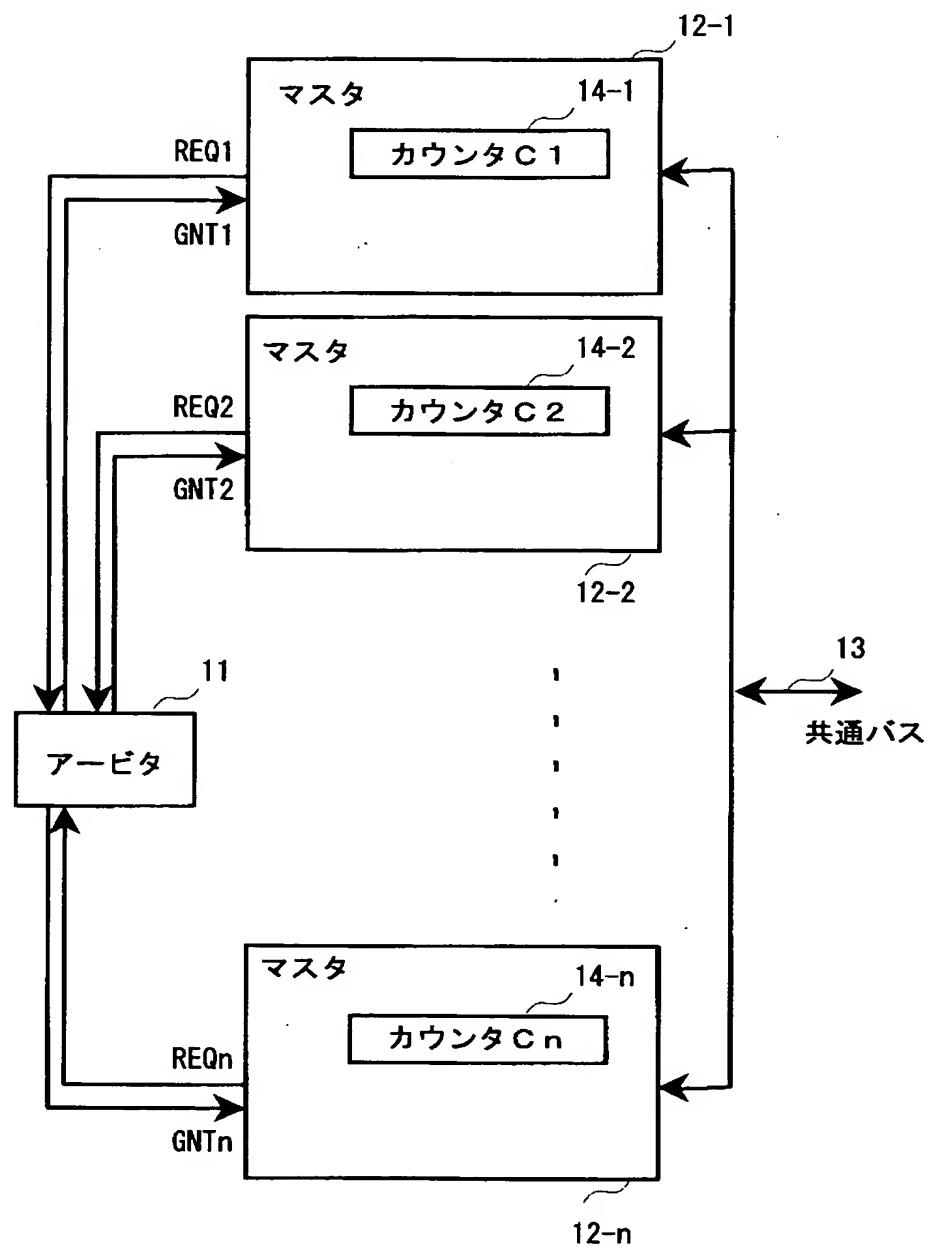
5 2 SRAM

5 3 SDRAM

5 4 LCD装置

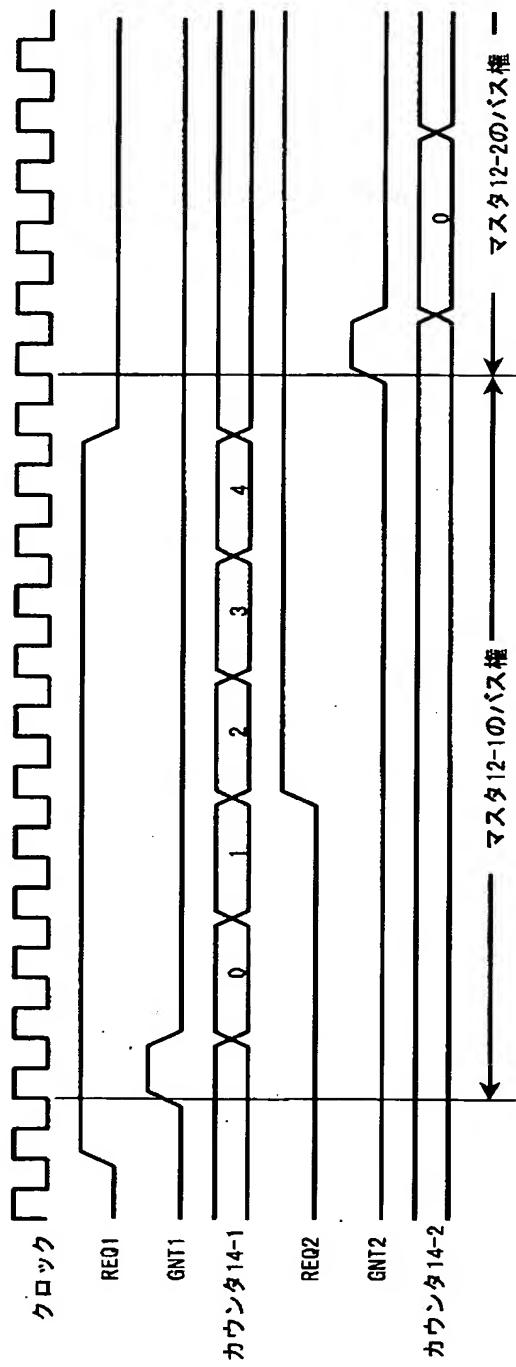
【書類名】 図面
【図1】

本発明によるバス共有システムの第1の実施例の構成を示す図



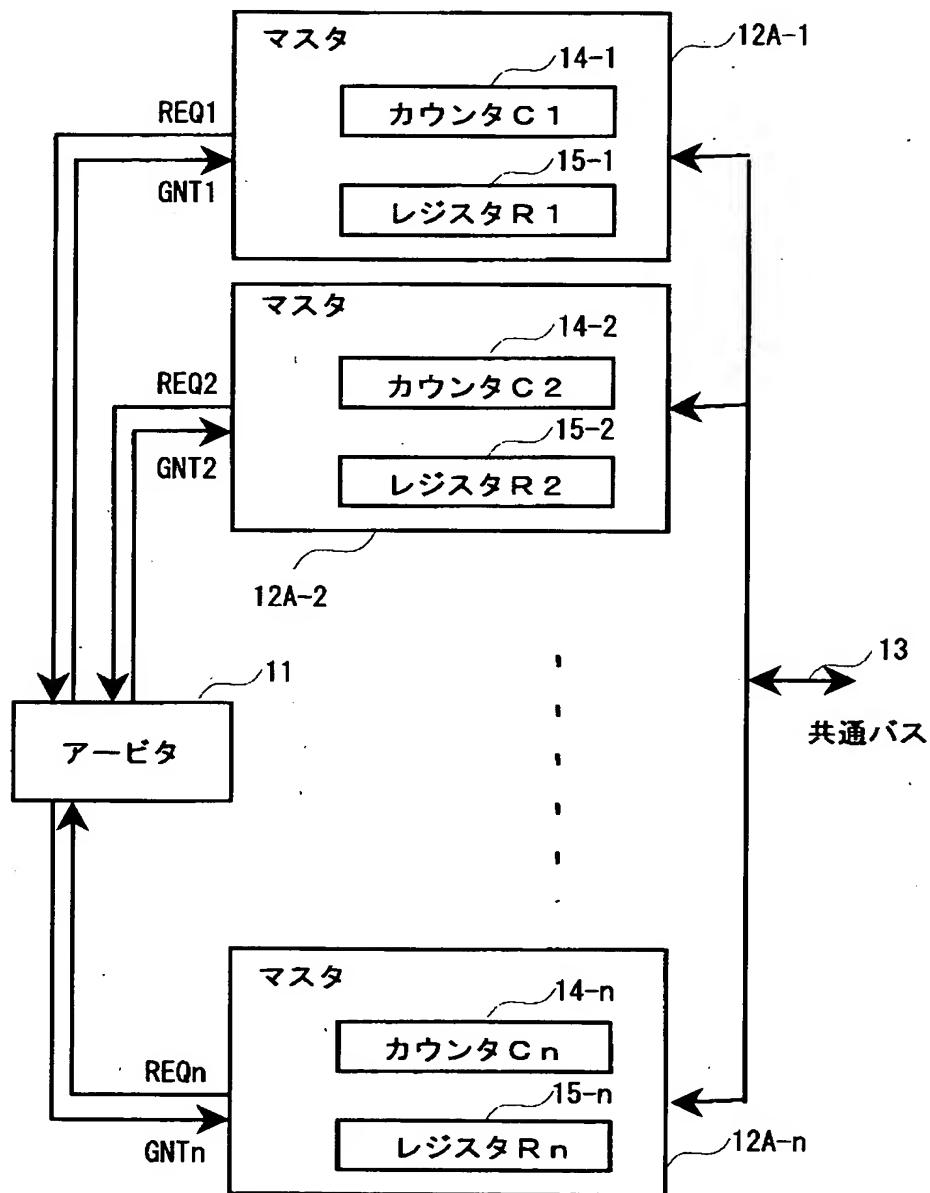
【図2】

図1のバス共有システムの動作の一例を示すタイミングチャート



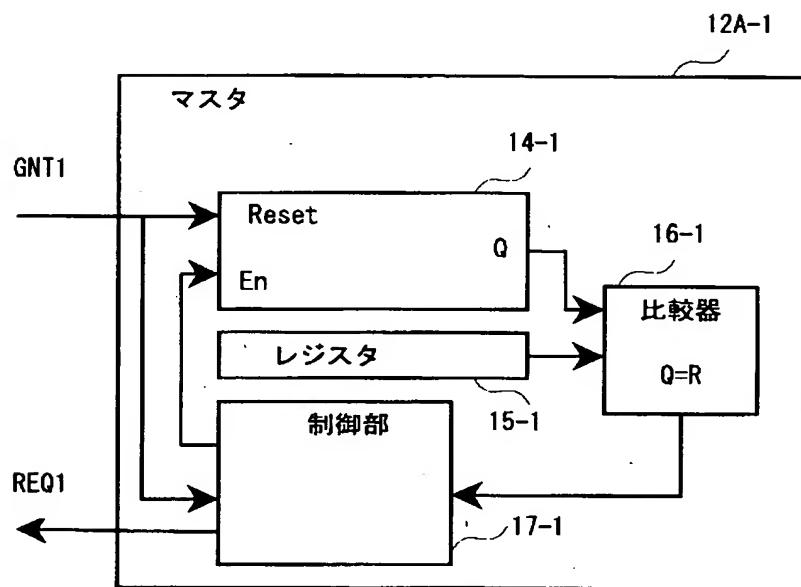
【図3】

本発明によるバス共有システムの第2の実施例の構成を示す図



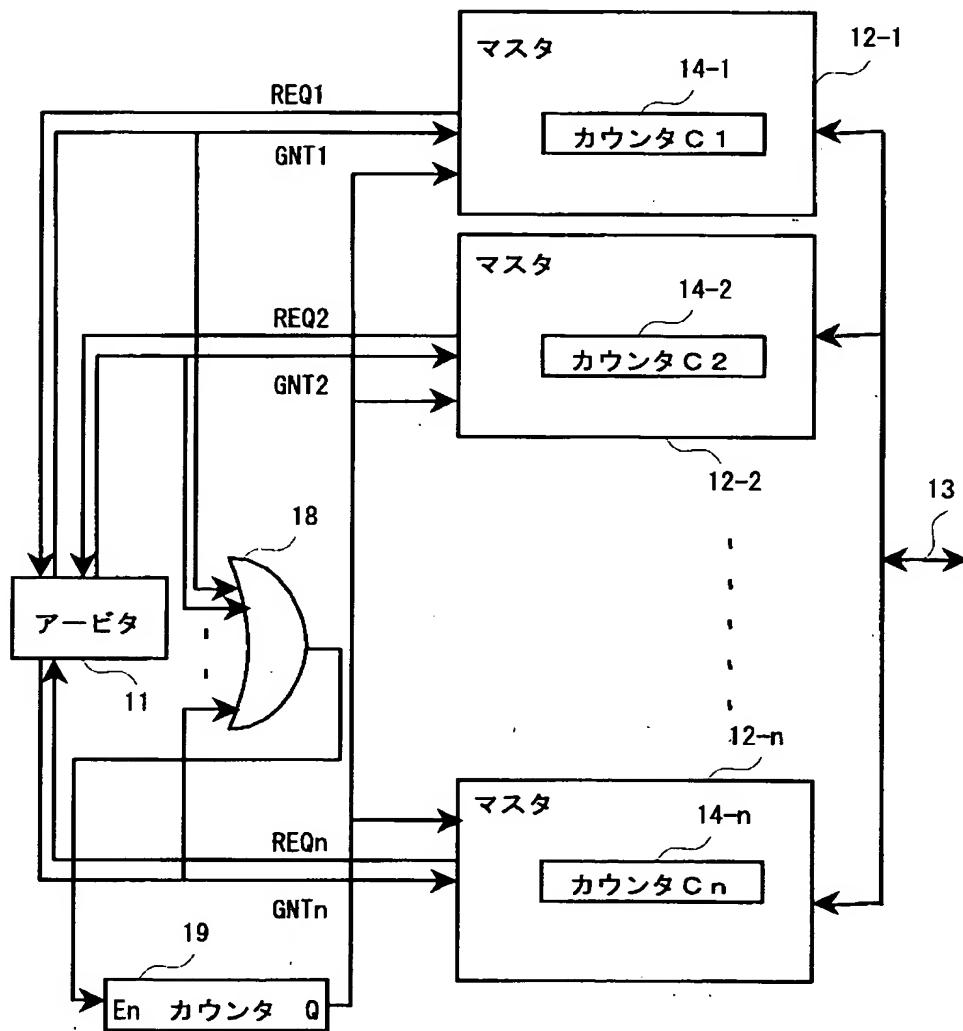
【図4】

マスタの関連部分の構成を示す図



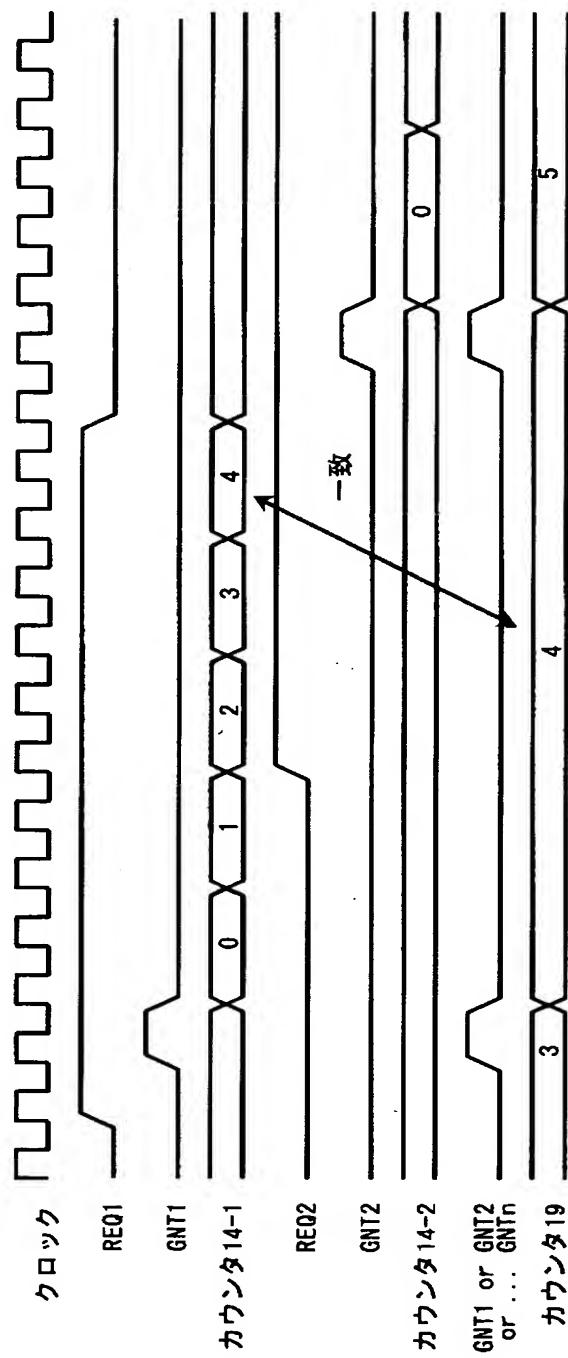
【図5】

本発明によるバス共有システムの第3の実施例の構成を示す図



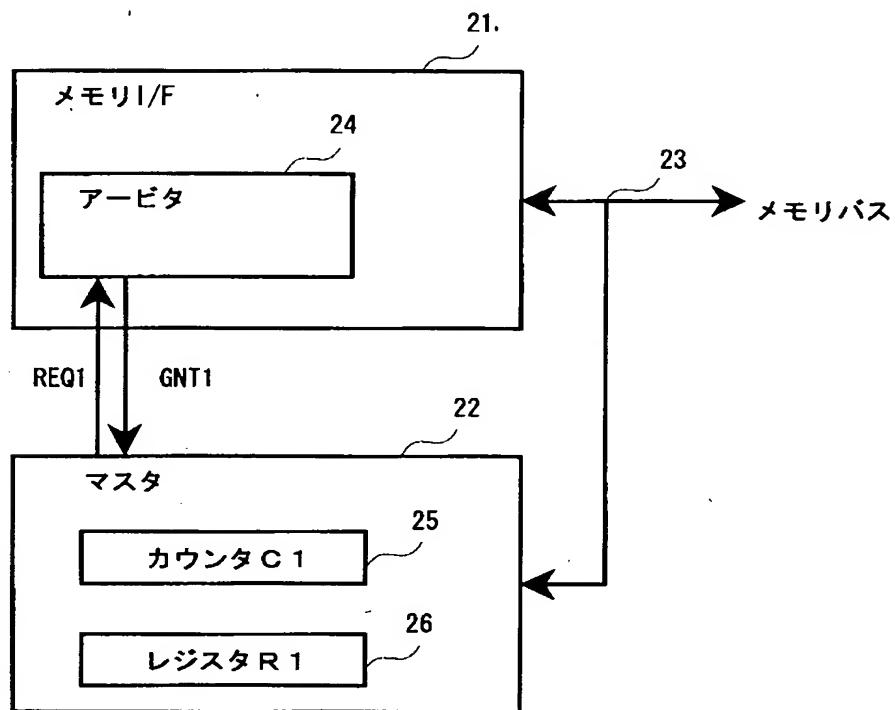
【図6】

図5のバス共有システムの動作の一例を示すタイミングチャート



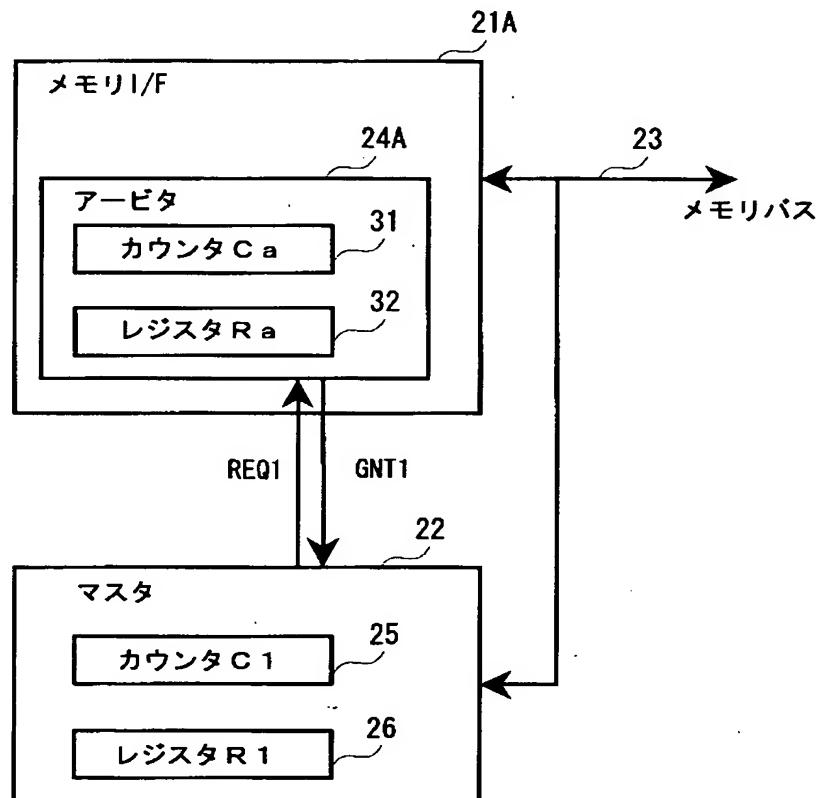
【図 7】

本発明によるバス共有システムの第4の実施例の構成を示す図



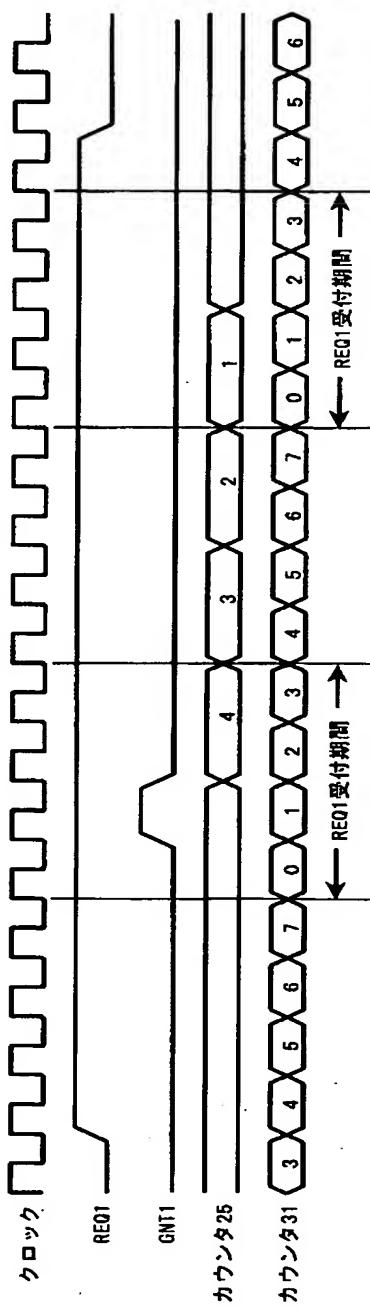
【図8】

本発明によるバス共有システムの第5の実施例の構成を示す図



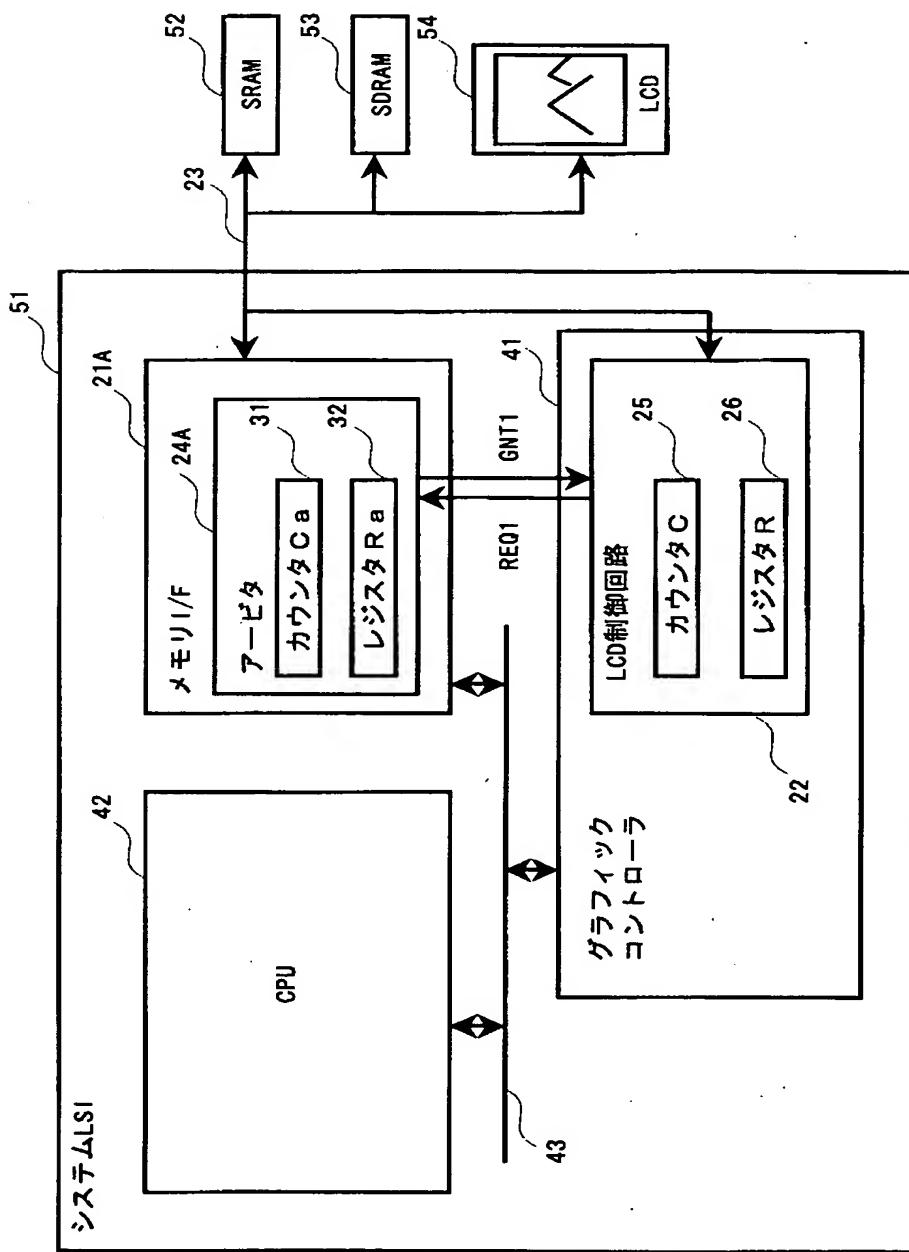
【図9】

図8のバス共有システムの動作の一例を示すタイミングチャート



【図10】

図8のバス共有システムをLCD駆動システムに
応用した例を示す構成図



【書類名】 要約書

【要約】

【課題】 本発明は、アービタ及びマスタにおける単純な制御動作により、長期間バスの占有状態が続かないように制御可能なバス共有システムを提供することを目的とする。

【解決手段】 バス共有システムは、バスと、バスにアクセスする第1の回路と、第1の回路とバスを共有しバスにアクセスする第2の回路と、第2の回路に設けられ第2の回路がバスをアクセスするたびにカウント動作を実行するカウンタ回路と、第1の回路と第2の回路との間でバス権獲得要求の調停を行うアービタ回路を含み、第2の回路はアービタ回路からバス権を獲得した後にカウンタ回路が所定の回数カウント動作を実行するとバス権を解放することを特徴とする。

【選択図】 図1

特願2002-343657

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区上小田中1015番地
氏 名 富士通株式会社
2. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社